

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-101408

(43)Date of publication of application : **04.04.2003**

(51)Int.Cl. H03L 7/08
// H03B 5/32

(21)Application number : 2001-288400

(71)Applicant : **CITIZEN WATCH CO LTD**

(22)Date of filing : 21.09.2001

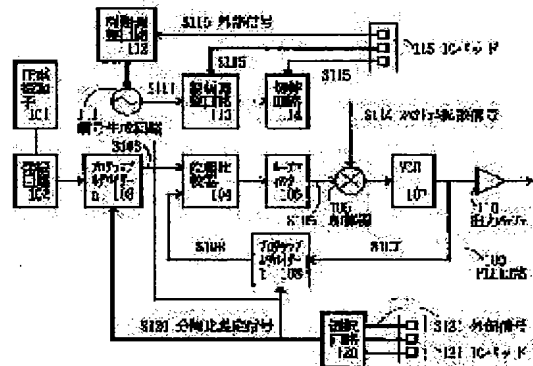
(72)Inventor : SAKATA YOSHIKI

(54) OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To attain improvement in the quality of a product, the date of delivery and costs by remarkably reducing labor required for a circuit designer to design a clock signal generating part by providing an oscillator, with which radiation noises are reduced and an occupied area on a substrate is small, having a spectrum spread control function.

SOLUTION: A voltage dependent piezoelectric oscillation circuit or PLL oscillation circuit provided with the voltage dependent oscillation circuit and a spectrum spreading signal generating circuit are sealed in the same package. Otherwise, the oscillator is further provided with a control means for the operation, amplitude and frequency of a spreading signal, a frequency dividing ratio setting means for a programmable divider in the PLL circuit, an IC pad and an external terminal for setting the operation of these means from the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43) 公開日 平成15年4月4日(2003. 4. 4)

テーマコート* (参考)

H 51079

N 51106

(全8頁)

(71)出願人 000001960

東京都西東京市田無町六丁目1番12号

(72)発明者 坂田 義昭

東京都西東京市田無町六丁目1番12号 シ
チズン時計株式会社内

F ターム(参考) 5J079 AA04 BA43 HA04 HA07 HA09

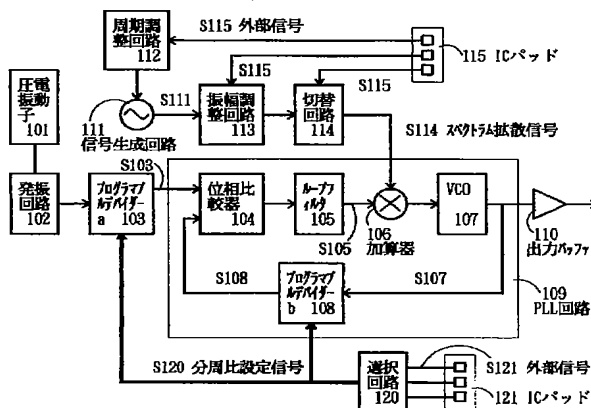
HA28 HA29

5J106 AA04 CC01 CC21 CC41 CC53

DD13 GG09 HH10 KK32

(57) 【要約】

【解決手段】 電圧依存性の圧電発振回路、あるいは電圧依存性の発振回路を含むPLL発振回路とスペクトラム拡散信号生成回路とが同一パッケージに封入されていること。あるいは更に、拡散信号の動作・振幅・周波数の制御手段、PLL回路中のプログラマブルデバイダーの分周比設定手段、およびそれらの手段の動作を外部から設定するためのICパッドおよび外部端子を備えたこと。



【特許請求の範囲】

【請求項 1】 圧電振動子と、該圧電振動子に接続されて発振しかつ出力周波数が制御信号に依存して変化する特性を有する発振回路と、スペクトラム拡散を行うための拡散信号を生成し、該拡散信号を前記制御信号とする拡散信号生成回路とが同一パッケージに封入されていることを特徴とする発振器。

【請求項 2】 圧電振動子と、該圧電振動子に接続されて発振する発振回路と、該発振回路の発振信号を基準信号として動作し該基準信号を任意の比率で分周あるいは通倍した信号を出力する PLL 回路と、スペクトラム拡散を行うための拡散信号を生成する拡散信号生成回路と、前記拡散信号と前記 PLL 回路内のループ信号とを加算するための加算器とが同一パッケージに封入されていることを特徴とする発振器。

【請求項 3】 前記発振器は更に前記拡散信号の作用を無効にする無効手段を備えたことを特徴とする請求項 1 あるいは 2 の発振器。

【請求項 4】 前記無効手段は前記拡散信号の通過を制御するゲート手段であることを特徴とする請求項 3 の発振器。

【請求項 5】 前記無効手段は前記拡散信号生成回路の動作を停止させるために該拡散信号生成回路への電源供給を停止する電源スイッチ手段であることを特徴とする請求項 3 の発振器。

【請求項 6】 前記拡散信号生成回路は前記拡散信号の振幅を可変にする振幅調整回路を備えたことを特徴とする請求項 1 あるいは 2 の発振器。

【請求項 7】 前記拡散信号生成回路は前記拡散信号の周波数を可変にする周波数調整回路を備えたことを特徴とする請求項 1 あるいは 2 の発振器。

【請求項 8】 前記 PLL 回路は、そのループ中に分周比が設定可能なプログラマブルデバイダーを有すると共に、前記分周比を設定するための分周比設定信号を出力する分周比設定信号出力回路を備えたことを特徴とする請求項 2 の発振器。

【請求項 9】 前記分周比設定信号出力回路は、外部から印加される分周比設定電圧のレベルを検出する電圧検出回路と、該電圧検出回路で検出した電圧レベルに基づき所定の分周比設定信号を選択して出力する分周比選択回路とを備えていることを特徴とする請求項 8 の発振器。

【請求項 10】 前記電圧検出回路は、前記分周比設定電圧と第 1 電源電位とを比較して第 1 比較信号を出力する第 1 比較手段と、前記分周比設定電圧と第 2 電源電位とを比較して第 2 比較信号を出力する第 2 比較手段とから構成されており、前記分周比選択回路は前記第 1 比較信号および第 2 比較信号に基づいて前記分周比設定電圧レベルを判定し、該判定結果に対応した前記分周比設定信号を出力することを特徴とする請求項 9 の発振器。

【請求項 11】 前記分周比設定電圧は、前記第 1 電源電位、前記第 2 電源電位、または前記第 1 電源電位と前記第 2 電源電位との間の電位のいずれかであることを特徴とする請求項 8 あるいは 9 の発振器。

【請求項 12】 前記 PLL 回路は IC チップで構成されており、該 IC チップは分周比設定電圧を印加するためのパッドを有することを特徴とする請求項 9 ないし 11 のいずれかの発振器。

【請求項 13】 前記 PLL 回路を封入するパッケージが前記パッドに接続された外部端子を有することを特徴とする請求項 12 の発振器。

【請求項 14】 前記発振回路と前記拡散信号生成回路とが 1 つの IC チップに収納されていることを特徴とする請求項 1 の発振器。

【請求項 15】 前記発振回路と前記 PLL 回路と前記拡散信号生成回路とが 1 つの IC チップに収納されていることを特徴とする請求項 2 の発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマイクロコンピュータその他の電子機器に動作制御信号を供給するための発振器に関する。更に詳しくはスペクトラム拡散を行うための手段を一体化した発振器に関する。

【0002】

【従来の技術】 コンピュータ等にクロック信号を供給するための発振器は年々高周波化が進み、圧電振動子の固有振動数をそのままクロック信号に使用したり、PLL 回路を導入して高周波化する場合が増えている。一方では高周波化の進行と共に発振回路からの放射ノイズによる、コンピュータ本体や、周辺回路や、更には外部機器への誤動作等悪影響の事例も発生している。このような事態への対策として、回路設計者は、圧電振動子発振器の他に PLL 回路やスペクトラム拡散を行うための回路を別途用意して組み合わせねばならなかった。

【0003】 図 11 は従来の発振器の回路構成の一例を示したものである。この従来例では PLL 回路として Texas Instruments 社製の IC である TLC2932 を用いている。1101 は水晶振動子を用いた発振回路、1102 はデバイダー、1103 は位相比較器、1104 はループフィルタであって積分作用を持ち、通常抵抗とコンデンサで構成される。1105 は加算器で、2 つの信号を加算する。1106 は VCO (Voltage Controlled Oscillator) である。位相比較器 1103 と VCO 1106 とは既存 IC 1107 である TLC2932 を構成する。1108 は出力バッファ、1109 は PLL 回路のフィードバック経路にあるデバイダー、1110 はスペクトラム拡散制御回路である。1120 は CPU で、PLL 回路から出力され出力バッファ 1108 を経由したクロック信号により動作する。

【0004】図11の回路の動作を説明する。発振回路1101の出力信号はデバイダー1102により分周され、位相比較器1103の2つの入力部の一方に入力される。他方の入力部にはVCO1106の出力信号をデバイダー1109によって分周した信号が入力される。位相比較器1103は2つの入力信号の位相差を比較して位相のずれに応じた電圧信号を発生し、その電圧信号はループフィルタ1104により平滑されて加算器1105に加えられる。

【0005】加算器1105にはスペクトラム拡散制御回路1110の生成した電圧信号も入力され、加算器1105は2つの入力電圧信号を加算合成してその出力をVCO1106のコントロール端子に制御信号として入力する。VCO1106はその制御信号の電圧値に対応する周波数の信号を出力する。圧電発振器1101の出力周波数はデバイダー1102の分周比だけ低減され、更にPLL回路によりデバイダー1109の分周比だけ通倍された高周波となり、この高周波信号は出力バッファ1108を介してクロック信号としてCPU1120に供給される。

【0006】スペクトラム拡散とは電子機器が放射する電磁雑音（本例の場合はクロック信号自体が他の回路に対して雑音となり得る）のエネルギーのスペクトルが狭い帯域に集中しないようにクロック信号に積極的にパルス幅を若干変調させるような低周波のジッタを与え、放射電磁雑音のエネルギーをある周波数の帯域幅に分散させることによってそのピーク値を抑圧する技術である。スペクトラム拡散制御回路1110はその周波数変調用の電圧信号を作成する。その波形は例えば小振幅のほぼ三角波であって、これが加算器1105によってループフィルタ1104の比較的变化の少ない出力電圧に加算されてVCO1106を制御するので、その出力周波数は時間と共に常に僅かに変化する。

【0007】図10を用いてスペクトラム拡散制御作用を更に説明する。図10は下半分が発振器およびその周辺回路から放射される電磁雑音のエネルギーの周波数に関する分布図、上半分が電磁雑音の周波数の時間的变化を示している。点線で描いた波形1001は拡散制御を行わない場合で、発振器の発振周波数F0の極く近傍に放射エネルギーが集中しており、そのピーク値は高い。発振器の出力周波数（周期）を曲線1004（太い実線）または1005（細い実線）のように時間的に変化させると放射エネルギーの周波数分布は曲線1002（太い実線）または1003（細い実線）のように広がり、周波数（周期）の変化幅を大きくするほどピーク値を低くすることができる。

【0008】

【発明が解決しようとする課題】以上の説明で理解される通り、放射ノイズを低減した高周波のクロック信号を得るためには、圧電振動子、圧電発振回路、既存のIC

回路に加えて、PLL回路、スペクトラム拡散制御回路が別途必要となり、クロック生成のための回路がプリント基板を専有する割合が多くなると共に、回路設計や基板設計を複雑化せざるを得ない。また基板専有率の増加や複雑化に伴ってクロック信号用の配線パターンを基板上に引き回すこととなり、期待したほどに放射ノイズが低減できないどころか、引き回し方が不適切であるとパターン自体がアンテナとなって逆に放射ノイズを増大させる危険性さえあり、これらの問題点の解決が緊急の課題となってきた。

【0009】本発明の目的は、上記課題を解決し、比較的高周波でかつスペクトラム拡散制御機能を有し、実際に放射ノイズが少なく、基板上の専有面積が十分に小さい発振器を提供することである。また更なる目的は、回路設計者がクロック信号発生部の設計に要する手間を大幅に削減し、製品の品質、納期、コストの改善を図ることである。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明の発振器は次の特徴を備える。

(1) 圧電振動子と該圧電振動子に接続されて発振しかつ出力周波数が制御信号に依存して変化する特性を有する発振回路と、スペクトラム拡散を行うための拡散信号を生成し、該拡散信号を前記制御信号とする拡散信号生成回路とが同一パッケージに封入されていること。

【0011】上記目的を達成するため本発明の発振器はあるいは次の特徴を備える。

(2) 圧電振動子と該圧電振動子に接続されて発振する発振回路と、該発振回路の発振信号を基準信号として動作し該基準信号を任意の比率で分周あるいは通倍した信号を出力するPLL回路と、スペクトラム拡散を行うための拡散信号を生成する拡散信号生成回路と、前記拡散信号と前記PLL回路内のループ信号とを加算するための加算器とが同一パッケージに封入されていること。

【0012】本発明の発振器は更に以下の特徴の少なくとも一つを備えることがある。

(3) 上記(1)あるいは(2)の特徴に加え、前記発振器は更に前記拡散信号の作用を無効にする無効手段を備えたこと。

【0013】(4) 上記(3)の特徴に加え、前記無効手段は前記拡散信号の通過を制御するゲート手段であること。

【0014】(5) 上記(3)の特徴に加え、前記無効手段は前記拡散信号生成回路の動作を停止させるために該拡散信号生成回路への電源供給を停止する電源スイッチ手段であること。

【0015】(6) 上記(1)あるいは(2)の特徴に加え、前記拡散信号生成回路は前記拡散信号の振幅を変にする振幅調整回路を備えたこと。

【0016】(7) 上記(1)あるいは(2)の特徴に

10

20

30

40

50

加え、前記拡散信号生成回路は前記拡散信号の周波数を可変にする周波数調整回路を備えたこと。

【0017】(8)上記(2)の特徴に加え、前記PLL回路は、そのループ中に分周比が設定可能なプログラマブルデバイダーを有すると共に、前記分周比を設定することができる分周比設定回路を備えたこと。

【0018】(9)上記(8)の特徴に加え、前記分周比設定回路は、外部から印加される分周比設定電圧のレベルを検出する電圧検出回路と、該電圧検出回路で検出した電圧レベルに基づき所定の分周比設定信号を選択し 10 出力する分周比選択回路とを備えていること。

【0019】(10)上記(9)の特徴に加え、前記電圧検出回路は、前記分周比設定電圧と第1電源電位とを比較して第1比較信号を出力する第1比較手段と、前記分周比設定電圧と第2電源電位とを比較して第2比較信号を出力する第2比較手段とから構成されており、前記分周比選択回路は前記第1比較信号および第2比較信号に基づいて前記分周比設定電圧レベルを判定し、該判定結果に対応した前記分周比設定信号を出力すること。

【0020】(11)上記(8)あるいは(9)の特徴に加え、前記分周比設定電圧は、前記第1電源電位、前記第2電源電位、または前記第1電源電位と前記第2電源電位の間の電位のいずれかであること。

【0021】(12)上記(9)ないし(11)のいずれかの特徴に加え、前記PLL回路はICチップで構成されており、該ICチップは分周比設定電圧を印加するためのパッドを有すること。

【0022】(13)上記(12)の特徴に加え、前記PLL回路を封入するパッケージが前記パッドに接続された外部端子を有すること。

(14)上記(1)の特徴に加え、前記発振回路と前記拡散信号生成回路とが1つのICチップに収納されていること。(15)上記(2)の特徴に加え、前記発振回路と前記PLL回路と前記拡散信号生成回路とが1つのICチップに収納されていること。

【0023】

【発明の実施の形態】図1は本発明の第1の実施の形態である発振器の回路構成のブロック図である。水晶振動子等の圧電振動子101を接続した発振回路102の出力はプログラマブルデバイダーa103で所定の比率に 40 分周され、その出力S103は位相比較器104の一方の入力に印加される。位相比較器104の他方の入力にはVCO107の出力S107をプログラマブルデバイダーb108で分周した出力S108が印加される。位相比較器104は2つの入力の位相差に比例した信号を出力し、それがループフィルタ105で平滑化され、その出力S105が加算器106の一方の入力となる。

【0024】加算器106の他方の入力は別途生成されるスペクトラム拡散信号S114であり、これら2入力の加算値がVCO107の周波数制御端子に入力され 50

る。VCO107の出力信号S107は出力バッファ110を経由してクロック信号等としてCPU等(図示せず)に与えられる。なお細い実線で囲んだPLL回路109の基本的な動作は図9の従来例のPLL回路に準じるものであるが、図1の全回路が集積化され同一のパッケージに封入されている点が従来例と異なる。

【0025】スペクトラム拡散信号S114の原信号は信号生成回路111の出力信号S111であるが、その信号の周期は周期調整回路112によって変化させることができ、また信号の振幅は振幅調整回路113によって変化させることができる。それらの制御はICパッド115に与えられる外部信号S115(例えば所定の電位源と結線して所定の電圧を与える等の手段を用いる)によって制御する。また切替回路114はスペクトラム 拡散信号S114を加算器106に印加しあるいは遮断する。この動作もICパッド115に与える外部信号S115(各回路につき各パッドから1個ずつの信号が与えられるように図示してあるが、実際には複数の信号が与えられる場合もある)によって制御される。

【0026】またプログラマブルデバイダーa103およびプログラマブルデバイダーb108の分周比も外部からの操作で変更できる構成である。すなわちICパッド121に与える外部信号S121の組み合わせにより選択回路120が作成し出力する分周比設定信号S120(複数の信号である場合が多いから太線で表示してある)が各デバイダーの分周比制御端子に印加されることによって制御を行う。本実施の形態では回路の集積化によって回路が小型化するとともに、配線の短縮等の効果で外部に放射されるノイズは極度に抑えられる。また全回路が制御部分も含めて十分に設計検討された上で集積・パッケージされある程度標準化された回路として供給されるから、回路設計者が個別の設計で悩む必要もなくなり、クロックを供給する対象となる機器を含む全体の製品の品質・納期・コストが改善されることになる。

【0027】図2は本発明の第2の実施の形態である発振器の回路構成のブロック図である。本例は分周回路を持たないので発振周波数に大きな自由度はないが、発明の本質を抑え、しかも簡潔な構成を持つ。即ち第1の実施の形態におけるPLL発振回路に代えてVCXO(電圧制御水晶発振器)を用いる。VCXO201は、水晶振動子の負荷容量の一方にバリキャップVCを含み、その容量値を制御端子202に印加する電圧で変化させ、発振周波数を調節する。故にこの制御端子202に第1の実施の形態に用いたと同様なスペクトラム拡散信号S114を印加する。この構成により、また更に全回路が集積化されることにより、放射ノイズが十分低く抑えられるし、また回路も標準化され使用上有利となる。

【0028】以下に本発明の他の各部に使用される回路の例について個別に検討する。図3は本発明の実施の形態におけるスペクトラム拡散信号の周期調整を行う回路

の一例を示す。VCO301は図1の信号生成回路111の具体例であり、帰還抵抗付き増幅器で、図10の曲線1004、1005の周期に相当する周波数で発振する。この回路の入力容量は直流阻止容量C3と直列に接続したバリキャップVC（これが図1の周期調整回路112に対応する）を持ち、その制御端子302に図1のICパッド115からの外部信号S115が印加される。この印加電圧を変化させることによりスペクトラム拡散信号S111の発振周波数を変化させることができる。

【0029】図4は本発明の実施の形態におけるスペクトラム拡散信号の周期調整を行う回路の他の一例を示す。全体は図示の通りやはりVCOであるが、その入力容量はそれぞれスイッチング素子T4が直列にされた固定容量C4が複数組ある。スイッチング素子T4に制御入力S112（複数）を加えて選択的にONまたはOFFさせることにより入力容量値、結果的にVCOの発振周波数を変化させ、スペクトラム拡散信号の周期調整を行うことができる。この制御入力はICパッド（図示せず）に与える外部信号によって変化させ選択させることができる。

【0030】図5は本発明の実施の形態におけるスペクトラム拡散信号の振幅調整回路の一例の回路図である。本例においては振幅調整回路113の主体は演算増幅器であり、その1つの入力は図1の信号生成回路111の出力信号S111である。増幅器の帰還抵抗R5はスイッチング素子T5と直列にされたものを含む複数本が並列になっており、そのスイッチング素子T5のあるものをICパッドから与えられる外部信号S115の電圧によって選択的にON/OFFすることにより、帰還抵抗値を変え増幅率を変化させて出力信号S113の振幅を変化させる。

【0031】図6は本発明の実施の形態におけるスペクトラム拡散信号の振幅調整回路の他の一例の回路図である。本例における振幅調整回路113の主体は抵抗R61、R62、R63より成り入力信号S111を分圧する分圧回路であり、分圧点V61、V62に接続したスイッチング素子T61、T62を適宜な外部信号S115によって制御し、分圧点を選択したり抵抗R62を短絡して分圧比を変えたりし、その結果を出力容量C6を経由して取り出し、信号S113の振幅を変化させる。

【0032】図7は本発明の実施の形態における分周比を選定するための選択回路（図1の120）の入力信号作成部の一例の回路図である。図1においてはICパッドは3個であったが、本例では1個のみのICパッド121によって3個の電位を作成し、パッド数を減らすことができる構成である。ICパッド121の電位V121は抵抗R74とR75によってVDDと接地電位との中間に吊られており、ICパッド121の電位はそれが無接続（open）であればその中間電位に留まるが、

VDDかGNDのいずれかに接続すればその電位になる。

【0033】またVDDとGND間の電圧は抵抗R71、R72、R73によって3分割されており、パッド電位V121と分圧点電位V71、パッド電位V121と分圧点電位V72とはそれぞれ2個の比較器71、72の比較入力となっている。比較器71、72の出力はいずれも、パッド電位V121が比較される分圧点電位より高いときH、逆のときLとなるものとする。その結果比較器71と72の出力は、パッド電位V121がVDDのときHとH（これを状態1が指定されたとする）、パッド電位V121がopenのときLとH（状態2）、パッド電位V121がGNDのときLとL（状態3）となる。この結果により選択回路120は分周比の3状態のいずれが指定されたかを知り、それに対応した分周比設定信号S120を分周回路に対して出力する。プログラマブルデバイダー103、108（図1）は受けた分周比設定信号S120に応じた分周比がそれぞれ設定される。（両デバイダーは同じ設定信号を受けても一般的に異なる分周比となし得ることは勿論である。）

【0034】図8は本発明の実施の形態における発振器のパッケージの構造の一例を示し、（a）は内部平面図、（b）は断面図である。なお内部平面図（a）はパッケージ内部の最上部にある薄板状の水晶振動子87を取り除いて、その下部構造を見えている。81はパッケージであり、例えば型抜きしたセラミックス板を積層するなどして作成され、内部にはいくつかの内面電極82があり、その一部は水晶振動子87（図1の圧電振動子101に相当する）の電極に接続され（詳細は図示せず）、残部はパッケージの4隅の外部表面に設けた側面電極83（側面は一部のみ示す）および下面電極84と接続している。図1又は図2に示した回路部分の全ては1個のICチップ85に搭載されている。

【0035】ICチップ85はパッケージ81内部の中央に設けた凹部の底にダイボンディングされ、ICチップ85の表面周辺部に設けた接続パッドと内面電極82とはボンディングワイヤ86によって結線されている。ボンディングワイヤ86の一部が破線で表わされているが、これはICチップ85の接続パッドを異なる内面電極82に対して選択的に接続することにより、例えば図7の説明で述べたような分周比の設定の選択や、図1のスペクトラム拡散信号の条件設定を行いうる構成を示している。（図示しないが、これらの設定は外部電極によって選択することも勿論可能である。）本例のようにスペクトラム拡散制御回路と（PLL）発振回路とが1個のICチップに納められていることで、発振器の小型化、放射ノイズ減少、使い勝手の向上等の本発明の効果は最大限に発揮される。（水晶振動子も同じパッケージに含まれるので一層小型化効果は大きい。）

10

20

30

40

50

【0036】図9は本発明の実施の形態における発振器のパッケージの構造の他の一例を示し、(a)は内部平面図、(b)は断面図である。前図と同様に内部平面図(a)は水晶振動子97を取り除いて(但しその位置を2点鎖線で示す)その下部構造を見せしている。91はパッケージ、92は内部電極、94は下面電極、96はボンディングワイヤであり、これらは図8と類似の構成である。

【0037】本例が図8と異なる部分は、図1の如き発振器を構成する回路がICチップ95aとICチップ95bの2個に分割されていることである。例えばPLL発振器をICチップ95aに、スペクトラム拡散制御回路をICチップ95bに搭載するが、回路を複数のICチップにどのように振り分けるかは設計上の都合に応じて任意に行うことができる。本例のように内部回路が複数チップであっても、全体が1個のパッケージ91に収納されたことにより、発振器の小型化、放射ノイズ減少、使い勝手の向上等において、従来例よりはるかに優れることになり、図7のような1チップ1パッケージの構成に迫る高度な効果が得られる。発振器回路を3個以上のICチップで構成してもよいことは勿論である。

【0038】以上本発明の実施の形態について述べたが、回路的には既述の例の変形やその他の構成を用いたり、既存の回路の応用によって同様の目的を達成できる場合が多く、そのような場合も本発明の技術範囲の含まれることは勿論であり、本発明の適用範囲は広いものである。

【0039】

【発明の効果】(1)請求項1あるいは2の構成により、圧電発振回路あるいはPLL発振回路とスペクトラム拡散制御回路とを同一パッケージに封入したことにより、基板上の専有面積が極めて小さく有利であり、配線の引回しも短いため放射ノイズの発生が少なく、また回路設計者側の負担が少なくてすみ、製品の品質、納期、コストが総合的に改善された(クロック用の)発振器が得られる効果がある。

(2)更に請求項1の構成においては、使用する圧電振動子の周波数の選択およびPLL発振器の出力周波数の設定に大幅な自由度が得られ、合理的なコストで必要な発振器が製造できる効果を有する。

【0040】(3)請求項3、4、5、6、あるいは7の構成により、スペクトラム拡散制御の有無、あるいはその振幅や周波数を使用者が任意に選択して最適な制御状態を実現できる効果がある。

(4)請求項8の構成により、上記(1)の発振器の分周比設定の自由度が製造後の発振器においても確保され、使用上極めて有利となる効果がある。

【0041】(5)請求項9、10、あるいは11の構成により、分周比が外部から印加される電圧レベルによって選択されるので、上記(4)の効果が更に容易に得

られる効果がある。

(6)請求項12の構成により、回路が集積化されて極めて小型であるから、上記(1)の効果が最大限に得られると共に、ICの製造後に分周比を設定できるため製品の適応範囲が広く、上記(4)の効果が一層強力に発揮できる。

(7)請求項13の構成により、回路のパッケージが完成された後においても外部端子の操作によって上記

(6)の効果が得られるので、極めて使用し易い汎用の製品が得られる効果がある。

(8)請求項14、15の構成により、発振器の小型化、放射ノイズ減少、使い勝手の向上等の本発明の効果は最大限に発揮される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である発振器の回路構成のブロック図である。

【図2】本発明の第2の実施の形態である発振器の回路構成のブロック図である。

【図3】本発明の実施の形態におけるスペクトラム拡散信号の周期調整回路の一例の回路図である。

【図4】本発明の実施の形態におけるスペクトラム拡散信号の周期調整回路の他の一例の回路図である。

【図5】本発明の実施の形態におけるスペクトラム拡散信号の振幅調整回路の一例の回路図である。

【図6】本発明の実施の形態におけるスペクトラム拡散信号の振幅調整回路の他の一例の回路図である。

【図7】本発明の実施の形態における選択回路の入力信号作成部の一例の回路図である。

【図8】本発明の実施の形態における発振器のパッケージの一例を示し、(a)は内部平面図、(b)は断面図である。

【図9】本発明の実施の形態における発振器のパッケージの他の一例を示し、(a)は内部平面図、(b)は断面図である。

【図10】スペクトラム拡散作用の説明図である。

【図11】従来の発振器の回路構成の一例のブロック図である。

【符号の説明】

81、91 パッケージ

85、95a、95b ICチップ

101 圧電振動子

102、1101 発振回路

103、108 プログラマブルデバイダー

104、1103 位相比較器

105、1104 ループフィルタ

106、1105 加算器

107、1106 VCO

109 PLL回路

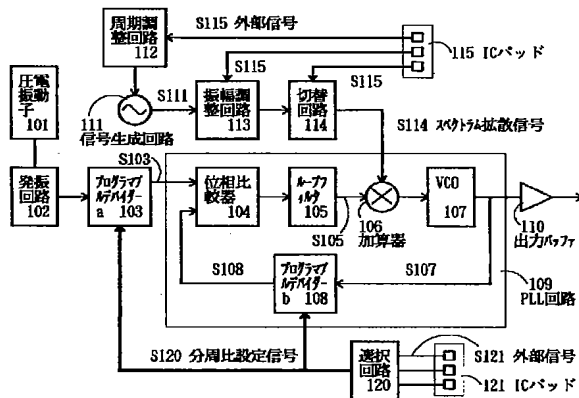
110、1108 出力バッファ

111 信号生成回路

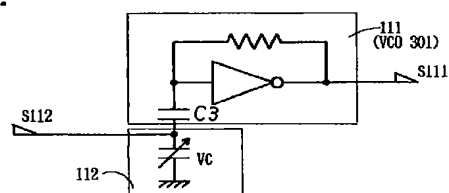
11

- 112 周期調整回路
 113 振幅調整回路
 114 切替回路
 115、121 ICパッド
 120 選択回路
 201 VCXO
 301 VCO
 302 制御端子
 71、72 比較器

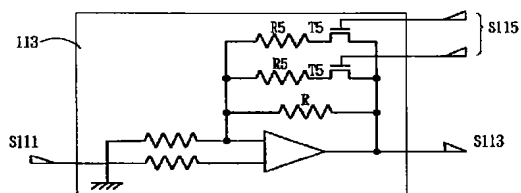
【図1】



【図3】



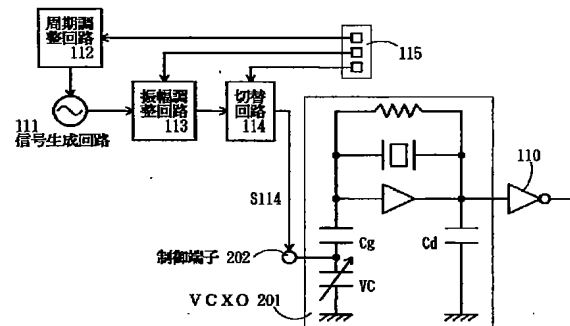
【図5】



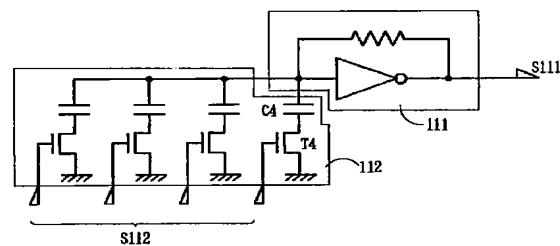
12

- 1102、1109 デバイダー
 1107 既存IC
 1120 CPU
 S114 スペクトラム拡散信号
 S115、S121 外部信号
 VC バリキャップ
 C3、C4、C6 容量
 R5、R61~R63、R71~R75 抵抗
 T4、T5、T61、T62 スwitchング素子

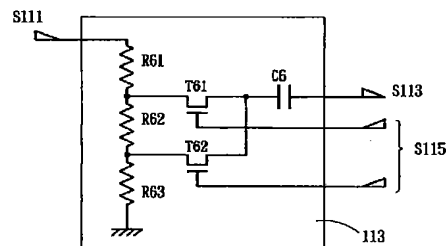
【図2】



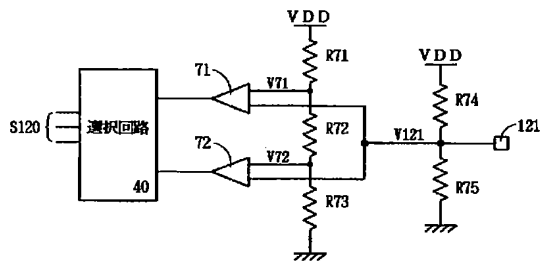
【図4】



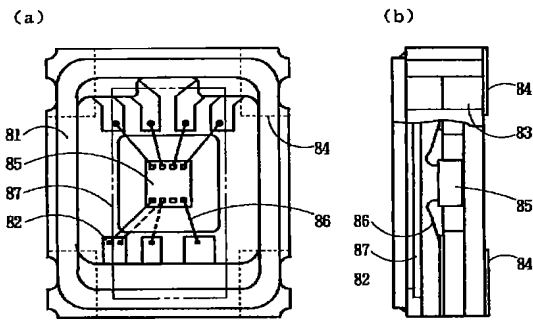
【図6】



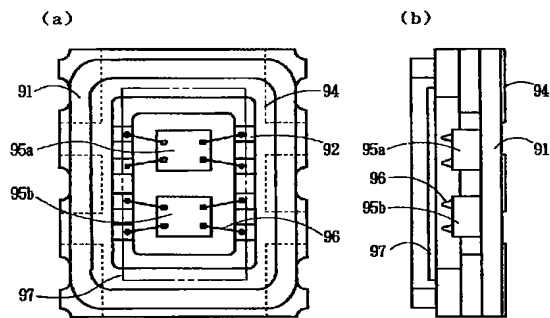
【図7】



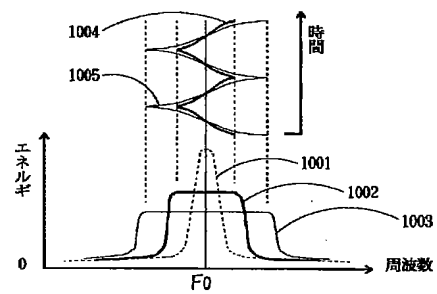
【図8】



【図9】



【図10】



【図11】

